
De PA-Risc processor van HP maakt binnen enkele jaren plaats voor de gezamenlijk met Intel ontwikkelde IA64. Volgens HP is het financieel niet meer op te brengen de eigen processor verder te ontwikkelen voor de relatief kleine markt waar de PA-Risc processoren toepassing vinden. Intel wil met de IA64 vastere voet aan de grond krijgen op de markt voor zware servers.

EPIC processor: opvolger Risc en Cisc processoren?

De eerste details van de Explicitly Parallel Instruction Computing (EPIC) technologie van Hewlett-Packard en Intel zijn tijdens het Micro Processor Forum bekend gemaakt. Deze technologie vormt de basis van de toekomstige 64-bits Instruction Set Architecture (ISA). Deze ISA is de definitie van de software-instructies die de verwerkingsstroom binnen de processor aansturen. EPIC doorbreekt de traditie van de opeenvolgende verwerking van gegevens binnen conventionele processoren, door de software expliciet te laten communiceren met de processor als verwerkingstaken parallel kunnen worden uitgevoerd. Een combinatie van speculatie, voorspelling en expliciet parallelisme.

Intel en Hewlett Packard hebben gezamenlijk een technologie ontwikkeld ter vervanging van de thans gangbare processoren voor werkstations en servers. Onlangs werden bijzonderheden bekend over een nieuw processor type, een zogenaamde EPIC processor, en een nieuwe machinetaal, genaamd 64-bit ISA (een acroniem voor Instructie Set Architectuur). 64-bit ISA, in de definitie van Intel ook wel 'IA-64' genoemd, neemt de plaats van een RISC (Reduced Instruction Set) of CISC (Complex Instruction Set). Dit gemeenschappelijke project voor onderzoek en ontwikkeling van Intel en HP, werd gestart in 1994. Intel verwacht in 1999 de eerste Epic processoren op de markt te brengen. Op de nieuwe processor zal men bestaande 32-bits toepassingen en besturingssystemen kunnen blijven gebruiken.

III

Epic processor en Isa code.

Epic staat voor 'Explicitly Parallel Instruction Computing'. De Epic processor kan ISA code efficiënter in parallel verwerken dan conventionele Risc en Cisc processoren. De nieuwe techniek is gebaseerd op een combinatie van speculatie en voorspelling, met expliciet parallelisme. Het aantal vertakkingen en foute voorspellingen is verminderd evenals de latentietijd ten gevolge van transport van gegevens tussen het geheugen en de processor. De Epic processor is bovendien beter geschikt voor het uitbreiden van een systeem met meerdere processoren, dan een conventioneel processor type. Doordat de compiler van een programma een wisselwerking met de Epic processor kan aangaan wordt parallelisme verkregen zonder dat er eerst een sequentiële code hoeft te worden aangemaakt.

III

Expliciet Parallelisme?

De voordelen van de nieuwe 64-bit ISA architectuur kan men inzichtelijk maken door de processor voor te stellen als de receptie van een bank. De bank heeft een receptionist die mensen verwijst naar wachtrijen voor loketten voor bepaalde diensten op basis van hun behoeften: leningen, opnamen, enzovoort. Dit is vergelijkbaar met wat een compiler doet om code te creëren; het organiseren van code voor verwerking. In conventionele architecturen werkt de receptie traag en kan slechts een paar mensen tegelijk helpen. Bovendien weet de receptionist niet zeker wat in elke wachtrij zal gebeuren. Als gevolg hiervan zullen klerken aan het loket klanten opnieuw moeten verwijzen. Dit veroorzaakt oponthoud voor de klanten en extra werk voor de klerken. Bij 'expliciet parallelisme' weet de receptionist vooraf wat de komende bewerkingen zullen inhouden. De receptionist stuurt klanten naar de juiste klerken en roept klanten naar de balie om ruim op tijd afspraken te maken. Klanten weten precies waar ze naar toe moeten gaan, waardoor de taak van de klerken aanzienlijk wordt verlicht. En de receptionist heeft een grotere vrijheid in het plannen van taken voor de klanten, waardoor het aantal klanten dat kan worden bediend wordt vergroot. Dit is de essentie van expliciet parallelisme: De compiler organiseert de code efficiënt en maakt de organisatie expliciet, d.w.z. het wijst een klerk aan voor elke klant. Zo kan de processor de instructies op een effectieve wijze uitvoeren.

III

Predication?

Een belangrijke beperking voor de prestatie van een conventionele processor is gelegen in vertakkingen. Vertakkingen ofwel 'branches' vertegenwoordigen een beslissing tussen twee sets van instructies, zoals het wel of niet invullen van een overboekingskaart in het genoemde voorbeeld van een bank. Bijvoorbeeld, in een poging om de klanten snel te bedienen, zal een bankklerk trachten alvast de papieren voor een volgende klant klaar te leggen en in te vullen. Omdat de meeste klanten stortingen verrichten voorspelt de klerk dat er een stortingskaart moet worden klaargelegd. Indien de klerk gelijk heeft is er geen probleem, maar zo niet dan moet elke klant in de rij wachten tot er bijvoorbeeld een kasopnamekaart is klaargelegd. Analoot aan dit voorbeeld wordt tegenwoordig in processoren een methode gebruikt die vertakkingen voorspelt en die 'branch-prediction' wordt genoemd. Branch-prediction voorspelt welke instructies moeten worden ingelezen. Als een tak van de code echter verkeerd wordt voorspeld zal een heel pad vertraging oplopen. Hoewel in bestaande processor architecturen slechts 5 tot 10 procent van de voorspellingen verkeerd is, is het resultaat hiervan een vertraging van 30 tot 40 procent in de verwerkingstijd. Vertakkingen beperken tevens de mogelijkheden van de compiler om tot een goede planning te komen en dit leidt niet tot een volledig gebruik van de processor. De 64-bit ISA machinetaal die Intel nu samen met HP op de markt brengt, gebruikt een concept dat 'predication' wordt genoemd. In het voorbeeld van hierboven zal de klerk zowel een opnamekaart als een stortings-

kaart voorbereiden voor elke klant. Zodra de klant verschijnt hanteert de klerk de juiste kaart en laat de andere kaart vervallen. De klerk werkt nu efficiënter, zonder de wachtrij op te houden. Bij predication zal, net als in het voorbeeld van de klerken, een predikaat gemaakt worden dat beide instructiesets laadt en alleen de toepasselijke instructieset uitvoert. Predication kan vele vertakkingen overbodig maken en reduceert het aantal verkeerde voorspellingen drastisch. In een studie, die werd gedaan naar ISCA '95 door S. Malhike en consorten, werd aangetoond dat door predication het aantal vertakkingen met 50 procent werd geëlimineerd alsmede 40 procent van de verkeerd voorspelde vertakkingen. In deze studie werd code uitgevoerd van verschillende populaire test programma's. Dit resulteerde in opmerkelijk goed parallelisme en een betere benutting van de IA-64 processor.

III

Speculation?

Geheugen latentie, de tijd die nodig is om gegevens uit het geheugen te halen, vormt een andere beperking voor de capaciteit van conventionele processor architecturen. Toegepast op het voorbeeld van de bank is latentie de tijd die nodig is om een nieuwe rekening aan te maken. Wanneer een potentiële rekeninghouder een rekening opent wordt de hele wachtrij opgehouden zolang de rekeninghouder zijn of haar papieren in orde maakt. Vergelijkbaar hiermee wordt de processor opgehouden door latentie totdat de gegevens uit het geheugen de processor bereiken. De 64-bit ISA gebruikt 'control speculation'. Dit is een werkwijze die de compiler in staat stelt om de nodige gegevens vroegtijdig op te halen, zelfs voordat de processor kan vermoeden dat de gegevens gewenst zijn. Stel dat de bankreceptionist uit het voorbeeld, nieuwkomers bij de bank vooraf kon signaleren? Als de receptionist de kaarten voor het openen van een nieuwe rekening laat aanrukken voordat een nieuwkomer de bank betreedt dan heeft die klant de gelegenheid om de administratieve kaart in te vullen voordat het loket bij de klerk is bereikt. Als hij of zij de kaart niet nodig blijkt te hebben kan die kaart ongebruikt worden geretourneerd. Dit is vergelijkbaar met hoe speculation werkt. Het aanvragen van gegevens uit geheugen wordt vroegtijdig gestart zodat de gegevens op tijd beschikbaar zijn voor de processor.

III

Toegevoegde processor resources

De 64-bit Instruction Set Architectuur (ISA) bevat verschillende verbeteringen, maar passende hardware resources, zoals van een Epic processor, zijn hierbij vereist om volledig profijt te trekken van de voordelen die deze architectuur biedt. IA-64 gebaseerde processoren worden overvloedig 'geresourced', met bijvoorbeeld, 128 registers in plaats van maximaal 64 registers, en met toegevoegde replicatie eenheden. Dit voedt de processor met een constante stroom van instructies en gegevens, om de capaciteit van de processor te benutten.

Hewlett-Packard, 020-5476666, <http://www.hp.nl>; Intel, 010-2866111, <http://www.intel.com>